

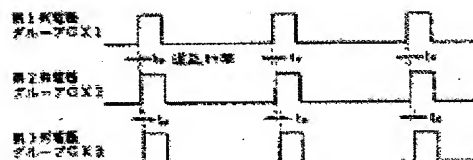
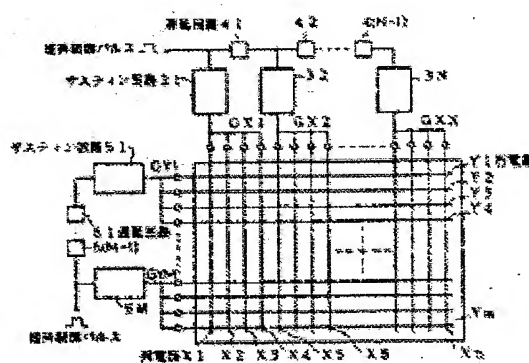
# PLASMA DISPLAY PANEL DRIVING METHOD AND ITS CIRCUIT

**Publication number:** JP2029779  
**Publication date:** 1990-01-31  
**Inventor:** YOSHIKAWA KAZUO; OTSUKA AKIRA  
**Applicant:** FUJITSU LTD  
**Classification:**  
**- international:** G09G3/28; G09G3/28; (IPC1-7): G09G3/28  
**- European:**  
**Application number:** JP19880180955 19880720  
**Priority number(s):** JP19880180955 19880720

Report a data error here

## Abstract of JP2029779

**PURPOSE:** To prevent a malfunction due to a maintenance pulse by dividing either of row and column electrodes into plural groups and delaying the leading time of maintenance pulses impressed on the respective groups of electrodes. **CONSTITUTION:** When the maintenance control pulses are periodically supplied to the input terminal of a sustain ST circuit 31, they are sequentially delayed by delay circuits 41 to 4(N-1) by (td) minutes and supplied to the input terminals of ST circuits 32-3N. Accordingly, on the groups of the column electrodes GX1, GX2..., the maintenance pulses whose leading times are different by td in the adjacent groups are impressed. Therefore, the peak times of displacement and discharge currents flowing to the groups GX1-GXN are different by the time td in the adjacent groups. Then, the peak value of the displacement and discharge currents flowing to all the column electrodes is decreased. Similarly to row electrodes Y, the outputs of delay circuits 61 to 6(M-1) are supplied to the input terminals of adjacent ST circuits in the ST circuits 51-5M.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2642956号

(45) 発行日 平成 9 年 (1997) 8 月 20 日

(24) 登録日 平成 9 年 (1997) 5 月 2 日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28		4237-5H 4237-5H	G 0 9 G 3/28	H W

請求項の数 5 (全 10 頁)

(21) 出願番号	特願昭63-180955	(73) 特許権者	999999999 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	昭和63年(1988)7月20日	(72) 発明者	吉川 和生 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(65) 公開番号	特開平2-29779	(72) 発明者	大塚 晃 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(43) 公開日	平成2年(1990)1月31日	(74) 代理人	弁理士 松本 眞吉
		審査官	小池 正彦
		(56) 参考文献	特開 昭47-13067 (J P, A) 特公 昭53-46575 (J P, B 2)

(54) 【発明の名称】 プラズマディスプレイパネル駆動方法及びその回路

1

(57) 【特許請求の範囲】

【請求項1】 誘電体に被われた複数の行電極 (Y1~Ym) と複数の列電極 (X1~Xn) とが互に対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、  
該行電極 (Y1~Ym) 及び該列電極 (X1~Xn) の少なくとも一方を複数のグループ (GY1~GYM, GX1~GXN) に分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしたことを特徴とするプラズマディスプレイパネル駆動方法。

【請求項2】 前記ずらし時間は、隣合う前記グループについて  $0.3\mu s$  以下であることを特徴とする請求項1記載のプラズマディスプレイパネル駆動方法。

【請求項3】 誘電体に被われた複数の行電極 (Y1~Ym)

2

と複数の列電極 (X1~Xn) とが互に対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動回路において、

複数のグループに分割された該行電極または該列電極の該グループ (GY1~GYM, GX1~GXN) 毎に設けられ、入力端子に供給される制御パルスに応答して、共通の維持パルスを該グループ内の各電極に供給するサステイン回路 (51~5M, 31~3N) と、

10 該行電極または該列電極についての隣合う該サステイン回路の該入力端子間に接続された遅延回路 (61~6 (M-1), 41~4 (N-1)) とを有し、

該行電極または該列電極について、1つの該サステイン回路の該入力端子に該制御パルスを供給することにより、該遅延回路を介し順次遅延された制御パルスを他の

各サスティン回路の該入力端子に供給するようにしたことを特徴とするプラズマディスプレイパネル駆動回路。

【請求項 4】 1つの半導体集積回路 (71) 内に、1つの前記グループに対する前記サスティン回路 (31) と、入力端子が該サスティン回路の該入力端子に接続された1つの前記遅延回路 (41) とを設け、該サスティン回路 (31) の該入力端子 (71a) と該遅延回路 (41) の出力端子 (71b) とを該半導体集積回路 (71) の外部端子としたことを特徴とする請求項 3 記載のプラズマディスプレイパネル駆動回路。

【請求項 5】 誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、該行電極及び該列電極に印加する維持パルスの立ち上がり時間を  $0.1 \sim 0.3 \mu s$  にしたことを特徴とするプラズマディスプレイパネル駆動方法。

#### 【発明の詳細な説明】

##### 【目次】

##### 概要

##### 産業上の利用分野

##### 従来の技術 (第 8 ~ 11 図)

##### 発明が解決しようとする課題

##### 課題を解決するための手段

##### 作用

##### 実施例

##### 第 1 実施例 (第 1 ~ 3 図)

##### 第 2 実施例 (第 4 図)

##### 第 3 実施例 (第 5 ~ 7 図)

##### 発明の効果

##### 【概要】

誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設されたメモリタイプ・プラズマディスプレイパネルの駆動方法及び駆動装置に関し、

維持パネルに起因する誤動作を防止することを目的とし、

誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、該行電極及び該列電極の少なくとも一方を複数のグループに分割し、各グループの電極に印加する維持パルスの立ち上がり時間を、好ましくは、隣合う前記グループについて  $0.3 \mu s$  以下ずらして駆動方法を構成し、

複数のグループに分割された該行電極または該列電極の該グループ毎に設けられ、入力端子に供給される制御パルスに応答して、共通の維持パルスを該グループ内の各電極に供給するサスティン回路と、該行電極または該列電極についての隣合う該サスティン回路の該入力端子

間に接続された遅延回路とを有し、該行電極または該列電極について、1つの該サスティン回路の該入力端子に該制御パルスを供給することにより、該遅延回路を介し順次遅延された制御パルスを他の各サスティン回路の該入力端子に供給するように駆動回路を構成し、

該行電極及び該列電極に印加する維持パルスの立ち上がり時間を  $0.1 \sim 0.3 \mu s$  にして他の駆動方法を構成する。

##### 【産業上の利用分野】

10 本発明は、誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設されたメモリタイプ・プラズマディスプレイパネルの駆動方法及び駆動装置に関する。

##### 【従来の技術】

第 8 図はメモリタイプ・プラズマディスプレイパネルの横断面構成を示す。

前面ガラス基板 1 と裏面ガラス基板 2 の対向面には、それぞれ複数の列電極 X と行電極 Y とが設けられている。列電極 X 及び行電極 Y は線電極であり、互いに直交する方向に延びている。前面ガラス基板 1 および裏面ガラス基板 2 の対向面にはさらに、列電極 X 及び行電極 Y を被うメモリ用誘電体 3、4 が被着されている。誘電体 3、4 上には、それぞれ劣化防止用の保護膜 5、6 が被着されている。保護膜 5、6 間には、その縁部にスペーサ 7 が介在されて、放電スペースが形成されている。この放電スペースは、誘電体 3、4 の周部に設けられたシールガラス 8 により閉じられており、内部にネオンガス及び若干の稀ガスが混合封入されている。このようにして、列電極 X と行電極 Y との交差部分に放電セルが形成されている。

30 第 9 図は、多数の列電極 X、行電極 Y のうち、列電極 X1、X2 と行電極 Y1、Y2 の交差部分に形成される放電セル 11、12、21 及び 22 の領域を示す。また、第 10 図上部には、これら列電極 X1、X2 及び行電極 Y1、Y2 に印加される駆動電圧の波形を示す。これら波形のうち、行電極 Y1、Y2 については実際の波形の位相を反転したものを示している。放電セル 11 ~ 22 の電極間に印加される電圧波形は、第 10 図下部に示す如くなる。図中、点線は、放電により誘電体 3、4 の表面に帯電された電荷による壁電圧を示す。

プラズマディスプレイパネルを駆動する動作は図示の如く、書き込み動作、消去動作及び維持動作からなり、各動作に対応して、書き込みパルス、消去パルス及び維持パルスを必要とする。

書き込みパルスの高さは放電開始電圧  $V_f$  以上であり、放電により誘電体 3、4 間に前記壁電圧を生成する。電極間に印加された電圧による電界の方向と、壁電圧による電界の方向は逆であり、次にこの書き込みパルスと逆位相の維持パルスを供給すると、両電圧による電界方向が一致し、放電開始電圧  $V_f$  以下の維持電圧  $V_s$  で放電発光

が生ずる。しかし、過去に書き込みパルスが供給されなかった放電セルについては、壁電圧が略零であり、放電発光しない。したがって、すべての放電セルに交流維持パルスを供給することにより、過去に書き込みパルスが供給された放電セルのみを放電発光させることができる。

維持パルスよりも細幅の消去パルスを電極間に印加した場合には、誘電体3、4の表面に帯電した電荷が放電され、その後帯電が行われず、壁電荷が略零になるので、その後維持パルスをこの電極間に供給しても放電発光が生じない。

〔発明が解決しようとする課題〕

しかし、表示ドット数は例えば $640 \times 400$ ドットもあり、列電極X及び行電極Yにはそれぞれ同位相の維持パルスを印加していたので、第11図に示す如く、維持パルス立ち上がり後の放電電流のピーク値が大きくなり、維持パルスを作成するための維持電圧（電源電圧） $V_s$ に負のスパイク状ノイズが生じる。このため、維持パルス電圧にもこのノイズが生じて、放電開始電圧 $V_i$ の増分よりも最低放電維持電圧 $V_m$ の増分の方が大きくなり、すなわち維持電圧 $V_s$ のマージンが狭くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作し易いという問題点があった。

また、各放電セルは容量負荷であるので、維持パルスの立ち上がり時にスパイク状の大きな変位電流が流れて、書込消去制御回路で用いられるシフトレジスタ等にノイズを与え、誤動作の原因となるという問題点があった。この誤動作は上記放電電流によっても生ずる。

本発明の目的は、上記問題点に鑑み、維持パルスに起因する誤動作を防止することができるプラズマディスプレイパネル駆動方法及びその回路を提供することにある。

〔課題を解決するための手段及びその作用〕

(1) この目的を達成するために、本発明に係るプラズマディスプレイパネル駆動方法では、行電極及び列電極の少なくとも一方を複数のグループに分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらししている。

これにより、各グループ毎の放電電流のピーク時点がずれるので、全放電電流のピーク値が小さくなる。

したがって、維持電圧のマージンが広くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作するのを防止することができる。

また、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができる。

(2) 上記ずらし時間は、隣合うグループについてあまり大きくすると、隣合うグループの電極間に擬似的消去パルスが作成されるので、 $0.3 \mu s$ 以下であることが好ましい。

(3) 上記方法を実施する駆動回路は次の2要素を備え

て構成される

①複数のグループに分割された行電極または列電極の該グループ毎に設けられ、入力端子に供給される制御パルスにตอบสนองして、共通の維持パルスを該グループ内の各電極に供給するサステイン回路。

②該行電極または該列電極についての隣合う該サステイン回路の該入力端子間に接続された遅延回路。

該行電極または該列電極について、1つの該サステイン回路の該入力端子に該制御パルスを供給すると、該遅延回路を介し順次遅延された制御パルスが他の各サステイン回路の該入力端子に供給される。

(4) 上記駆動回路を半導体集積回路化するには、1つの半導体集積回路内に、1つの前記グループに対する前記サステイン回路と、入力端子が該サステイン回路の該入力端子に接続された1つの前記遅延回路とを設け、該サステイン回路の該入力端子Aと該遅延回路の出力端子Bとを該半導体集積回路の外部端子とする。

順次、一つの半導体集積回路の出力端子Bを他の半導体集積回路の入力端子Aにカスケード接続することにより、上記駆動回路が構成される。

(5) 本発明に係る他のプラズマディスプレイパネルの駆動方法では、行電極及び列電極に印加する維持パルスの立ち上がり時間を $0.1 \sim 0.3 \mu s$ にする。

従来では、維持パルスの立ち上がりが緩やかであると立ち上がりの途中で放電が発生して十分な放電が行われないため、その立ち上がり時間は短いほど良いとされていた。しかし、この立ち上がり時間を $0.3 \mu s$ 以下にすれば、維持パルスの立ち上がり後に放電が生じるので、十分な放電が行われ、維持電圧マージンを狭くすることがない。また、立ち上がり時間を $0.1 \mu s$ 以上にすれば、立ち上がりが緩やかになるので、電極に流れる変位電流のピーク値が小さくなり、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができる。

〔実施例〕

以下、図面に基づいて本発明の実施例を説明する。

(1) 第1実施例

第1図はメモリタイプ・プラズマディスプレイパネル駆動回路の要部構成を示す。

このプラズマディスプレイパネルは第8図に示す如く構成されており、 $n$ 本の線状列電極 $X1 \sim Xn$ 及び $m$ 本の線状行電極 $Y1 \sim Ym$ が備えられている。列電極及び行電極は異なる平面上で互いに直交する方向に配置され、 $n \times m$ 個、例えば $640 \times 400$ 個の放電セルが形成されている。列電極は隣合う4本（実際には、例えば160本）の電極の組からなる $N$ 個の第1列電極グループGX1、第2列電極グループGX2・・・第 $N$ 列電極グループGXNに分割されている。

各グループ毎の全端子は、共通にそれぞれサステイン回路31、32・・・3Nの出力端子に接続されている。各サステイン回路31～3Nは、5Vの1個の維持制御パルスに

答して、例えば100Vの1個の維持パルスを出力する。隣合うサスティン回路の入力端子間には、それぞれ遅延回路41、42・・・4 (N-1) がその入力端子をサスティン回路31、32・・・3 (N-1) 側にして接続されている。

なお、第1図では、書込駆動回路及び消去駆動回路を図示省略している。

上記構成において、サスティン回路31の入力端子に周期的な維持制御パルスを供給すると、サスティン回路32～3nの入力端子には、それぞれ遅延回路41～4 (N-1) により順次時間 $t_d$ 遅延された維持制御パルスが供給される。したがって、列電極グループGX1、GX2・・・にはそれぞれ、第2図に示す如く、隣合うグループについて立ち上がり時間が $t_d$ だけ異なる維持パルスが印加される。このため、列電極グループGX1～GXNに流れる変位電流及び放電電流のピーク時点は、隣合うグループについて時間 $t_d$ だけずれ、全列電極に流れる変位電流及び放電電流のピーク値が従来に比し極めて小さくなる。

ずらし時間 $t_d$ は、隣合うグループについてあまり大きくすると隣合うグループの電極間に疑似的消去パルスが作成されるので、0.3 $\mu$ s以下であることが好ましい。

行電極についても上記同様であり、行電極Y1～Ymは隣合う4本 (実際には、例えば200本) の電極の組からなるM個の第1行電極グループGY1、第2行電極グループGY2・・・第M行電極グループGYMに分割されている。また、各グループ毎の全端子は、共通にそれぞれサスティン回路51、52・・・5Mの出力端子に接続され、隣合うサスティン回路の入力端子間には、それぞれ遅延回路61～6 (M-1) が接続されている。

第3図はドット数640×400のプラズマディスプレイの列電極及び行電極をグループに分割した場合のグループ分割数と維持電圧マージンとの関係を示す。第3図では、(グループ分割数) = (行電極分割数) = (列電極分割数) である。また、維持電圧マージンとは、書き込みを行っていない放電セルに電圧を加えたときに放電が開始する放電開始電圧 $V_r$ と、書き込みを行った放電セルに維持パルスを供給して放電を維持するための最低放電維持電圧 $V_m$ との差をいう。この $V_r$ 及び $V_m$ は各放電セルについてバラツキがあるので、維持電圧マージンが狭いと電源電圧の変動等により誤動作が生ずる原因となる。

図示の如く、グループ分割数が2以上の場合には十分なマージンが得られることが解る。グループ分割数をあまり多くすると構成が複雑になるので、好ましいグループ分割数は2～3である。また、この程度の分割数で放電電流のピーク値を充分小さくしてノイズに弱いシフトレジスタ等の誤動作を防止することができる。

## (2) 第2実施例

第4図はメモリタイププラズマディスプレイパネル駆動回路の要部構成を示す。この第2実施例では、回路自体は第1図と同一であるが、駆動回路を半導体集積回路

で構成するために次のような工夫をしている。

すなわち、サスティン回路31と遅延回路41とを1つの半導体集積回路71内に備え、サスティン回路31の入力端子と遅延回路41の入力端子とを共通にして外部入力端子71aに接続し、遅延回路41の出力端子を外部出力端子71bに接続している。

このサスティン回路31は、レベルシフタ31aと、ベースがレベルシフタ31aの出力端子に接続されたPNP型トランジスタ31b及びNPN型トランジスタ31cとからなる。PNP型トランジスタ31bのエミッタは維持電圧電源端子に接続され、NPN型トランジスタ31cのエミッタはアースされ、PNP型トランジスタ31b及びNPN型トランジスタ31cのコレクタは共通に外部出力端子71cに接続されている。この外部出力端子71cは、列電極X1に接続されている。

レベルシフタ31aに1個の維持制御パルスを供給すると、PNP型トランジスタ31bに1個のスイッチングパルスが供給された後、NPN型トランジスタ31cに1個のスイッチングパルスが供給されて、外部出力端子71cに図示のような1個の維持パルスが取り出される。

半導体集積回路72についても半導体集積回路71と同一構成であり、半導体集積回路71の構成要素31a～31c、41、71a～71cに対応する構成要素にそれぞれ符号32a～32c、42、72a～72cを付してその説明を省略する。

半導体集積回路71の出力端子71bは半導体集積回路72の入力端子72aにカスケード接続され、図示しない半導体集積回路についても以下同様のカスケード接続が行われ、第1図と同一構成にされる。

なお、半導体集積回路71、72・・・には書き込みパルスや消去パルスを作成する駆動回路及びこれらにデータ信号を供給するシフトレジスタ等が内蔵されている。

## (3) 第3実施例

第5図は放電セル11についてのサスティン回路を示す。このサスティン回路31Aでは、第4図のサスティン回路32に加えて、PNP型トランジスタ31bのエミッタ・コレクタ間にダイオード81が並列接続され、NPN型トランジスタ31cのエミッタ・コレクタ間にダイオード82及びコンデンサ83が並列接続されている。ダイオード81及び82は、列電極X1の電位が維持電圧 $V_s$ 以上又は0V以下になるのを防止するためのものである。行電極Y1に接続されるサスティン回路51Aもサスティン回路31Aと同様の構成であり、第5図では1つのボックスで示してある。他の点については第1図と同一構成である。

上記構成において、サスティン回路31Aのレベルシフタ31aに維持制御パルスを供給すると、列電極X1には維持パルスが供給されるが、放電セル11に並列にコンデンサ83が接続されているので、変位電流は列電極X1のみならずコンデンサ83にも分配され、したがって、第6図に示す如く、維持パルスの立ち上がり時間 $t_r$ が従来よりも長くなり、ノイズの発生を防止することができる。

第7図は維持パルス立ち上がり時間 $t_r$ と維持電圧マージンとの関係を示す。 $t_r > 0.3 \mu s$ では、維持パルスの立ち上がりの途中で放電が生じるので、維持電圧マージンが狭くなる。また、 $t_r < 0.1 \mu s$ では、維持パルスの急峻な立ち上がりによりノイズを発生させ、上記シフトレジスタ等が誤動作するので好ましくない。したがって、維持パルス立ち上がり時間 $t_r$ の好ましい範囲は $0.1 \mu s < t_r < 0.3 \mu s$ である。

なお、コンデンサ83の代わりに、列電極X1に抵抗器を直列接続して維持パルスの立ち上がりを緩やかにすることも考えられるが、この抵抗器に流れる電流により電圧降下が生じて維持電圧が低下し、第7図に示す維持電圧マージンが狭くなるので好ましくない。

#### 【発明の効果】

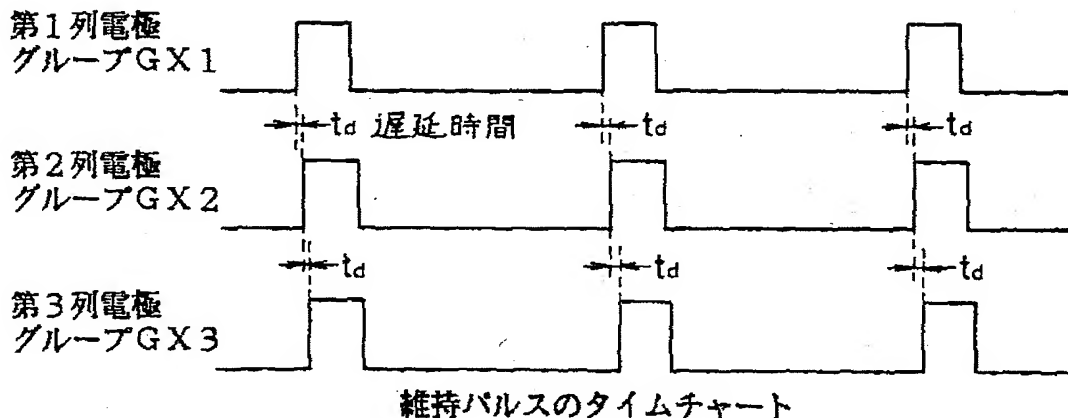
以上説明したように、本発明に係るプラズマディスプレイパネルの駆動方法及び駆動回路によれば、行電極及び列電極の少なくとも一方を複数のグループに分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしているため、各グループ毎の放電電流をピーク時点がずれ、全放電電流のピーク値が小さくなり、したがって、維持電圧のマージンが広くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作するのを防止することができるとともに、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができるという優れた効果を奏する。

本発明に係る他のプラズマディスプレイパネルの駆動方法によれば、行電極及び列電極に印加する維持パルスの立ち上がり時間を $0.1 \sim 0.3 \mu s$ にしているため、維持電圧マージンを狭くすることなく、電極に流れる変位電流のピーク値を小さくすることができ、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができるという優れた効果を奏する。

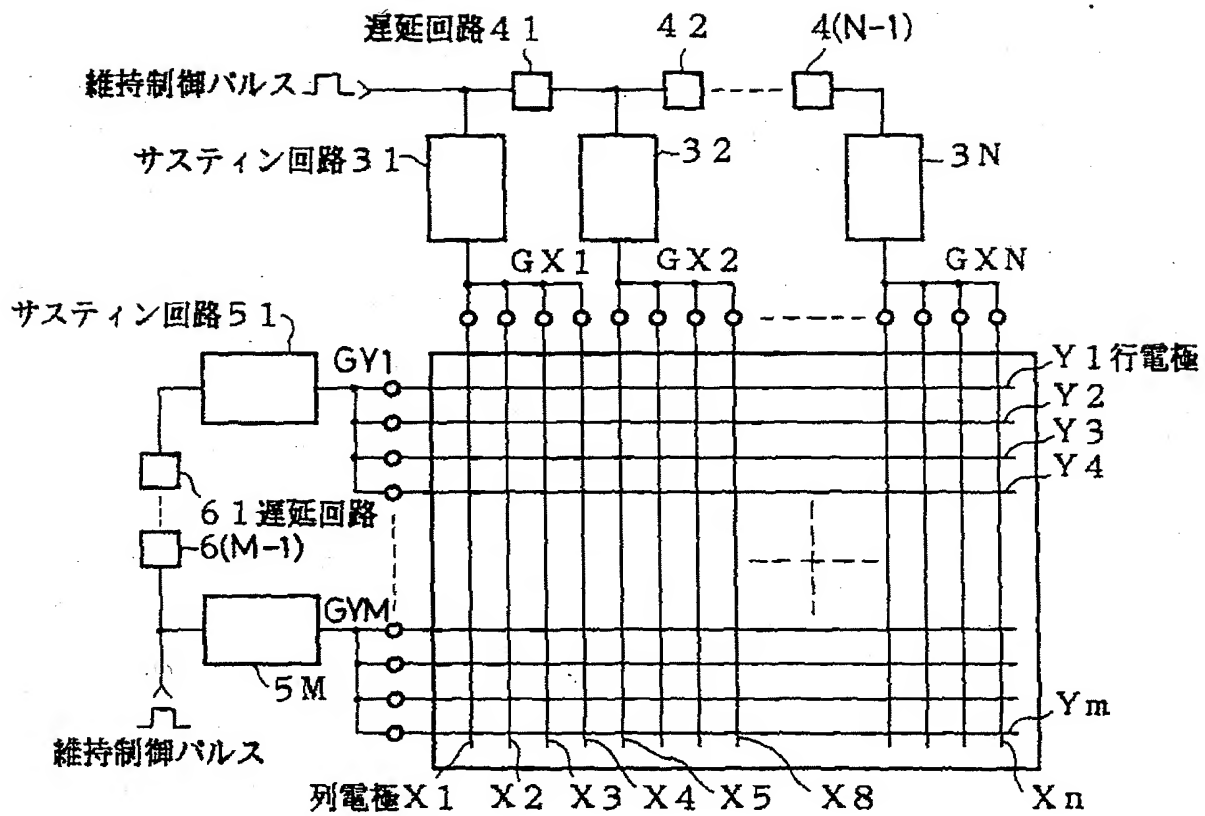
#### 【図面の簡単な説明】

- \* 第1図乃至第3図は本発明の第1実施例に係り、  
第1図はメモリタイプ・プラズマディスプレイパネルの要部駆動回路図、  
第2図は第1図に示す列電極グループGX1～GX3に印加される維持パルスのタイムチャート、  
第3図は電極のグループ分割数と維持電圧マージンとの関係を示す図である。  
第4図は本発明の第2実施例に係るメモリタイプ・プラズマディスプレイパネルの要部駆動回路図である。  
第5図乃至第7図は本発明の第3実施例に係り、  
第5図はセル11についてのサスティン回路図、  
第6図は第5図に示す回路についての維持パルス及び放電発光パルスの波形図、  
第7図は維持パルス立ち上がり時間と維持電圧マージンとの関係を示す線図である。  
第8図乃至第11図は従来例に係り、  
第8図はメモリタイプ・プラズマディスプレイパネルの横断面構成図、  
第9図は第8図の列電極X1、X2と行電極Y1、Y2間に形成される放電セルの領域を示す図、  
第10図は第9図に示す電極に印加される駆動パルス及び放電セルの電極間に印加される駆動パルスのタイムチャート、  
第11図は従来例の問題点を説明する波形図である。  
図中、  
3、4は誘電体  
11、12、21、22は放電セル  
31～3N、31A、51～5N、51Aはサスティン回路  
31a、32aはレベルシフタ  
41～4N、61～6Nは遅延回路  
71、72は半導体集積回路  
GX1～GXNは列電極グループ  
GY1～GYMは行電極グループ

【第2図】

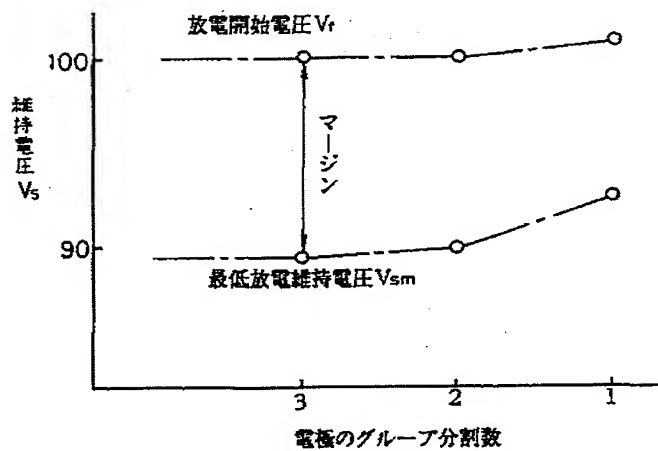


【第1図】



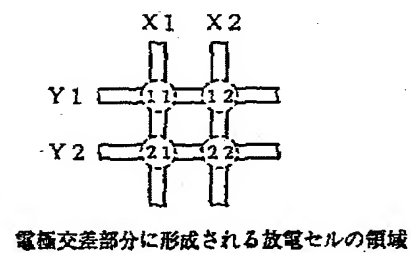
プラズマディスプレイパネルの要部駆動回路

【第3図】

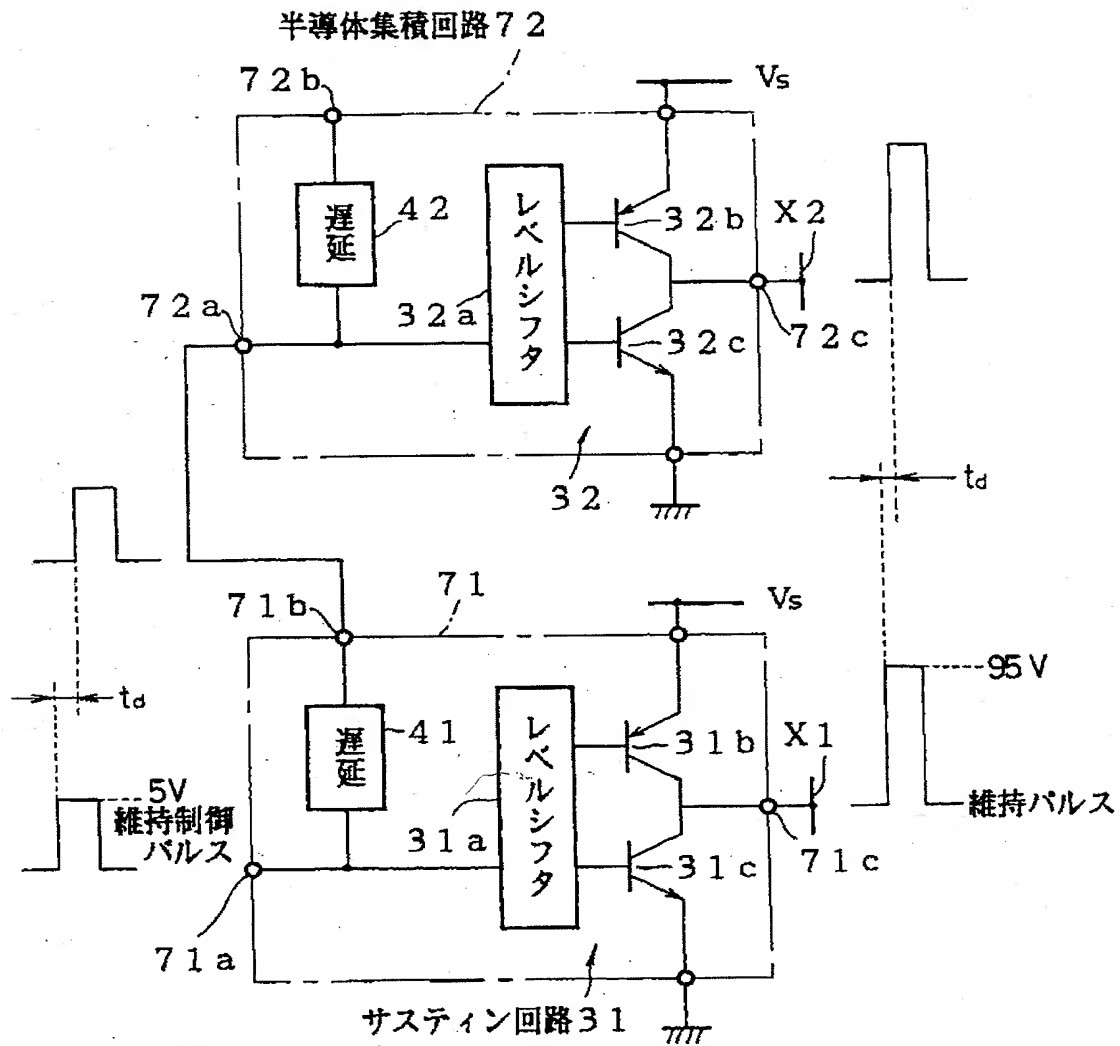


グループ分割数と維持電圧マージンとの関係

【第9図】



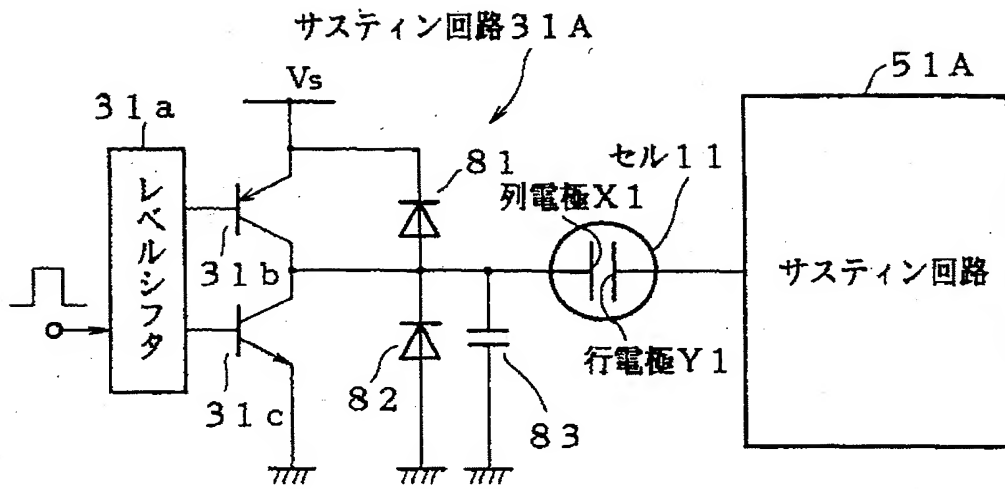
【第4図】



プラズマディスプレイパネルの要部駆動回路

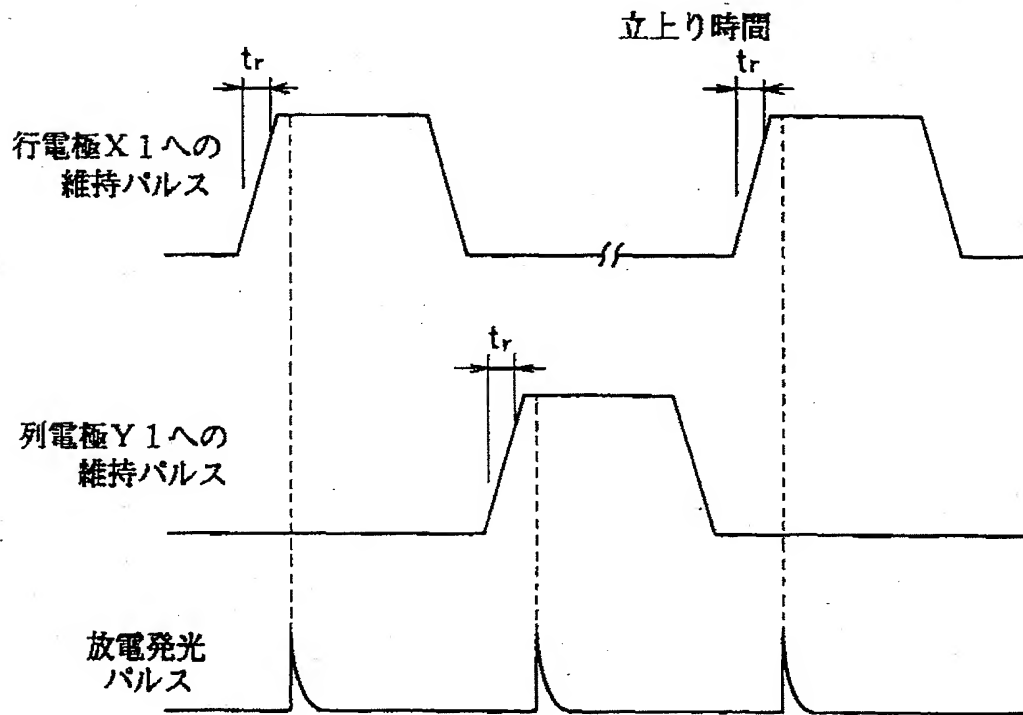


【第5図】



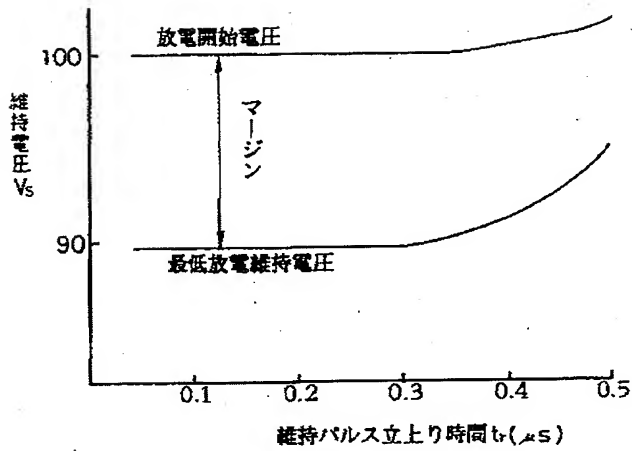
放電セル11についてのサステイン回路

【第6図】



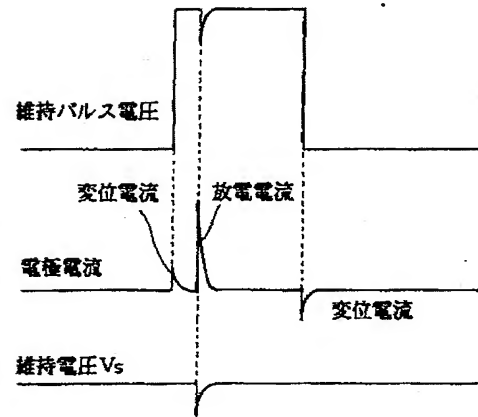
維持パルス及び放電発光パルスの波形図

【第7図】



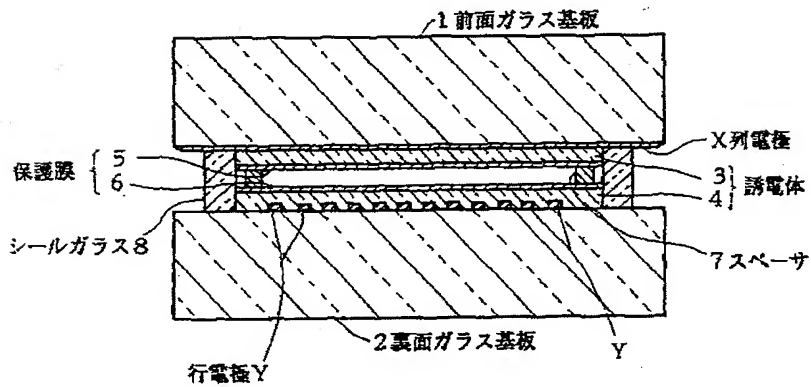
維持パルス立上り時間と維持電圧マージンとの関係

【第11図】



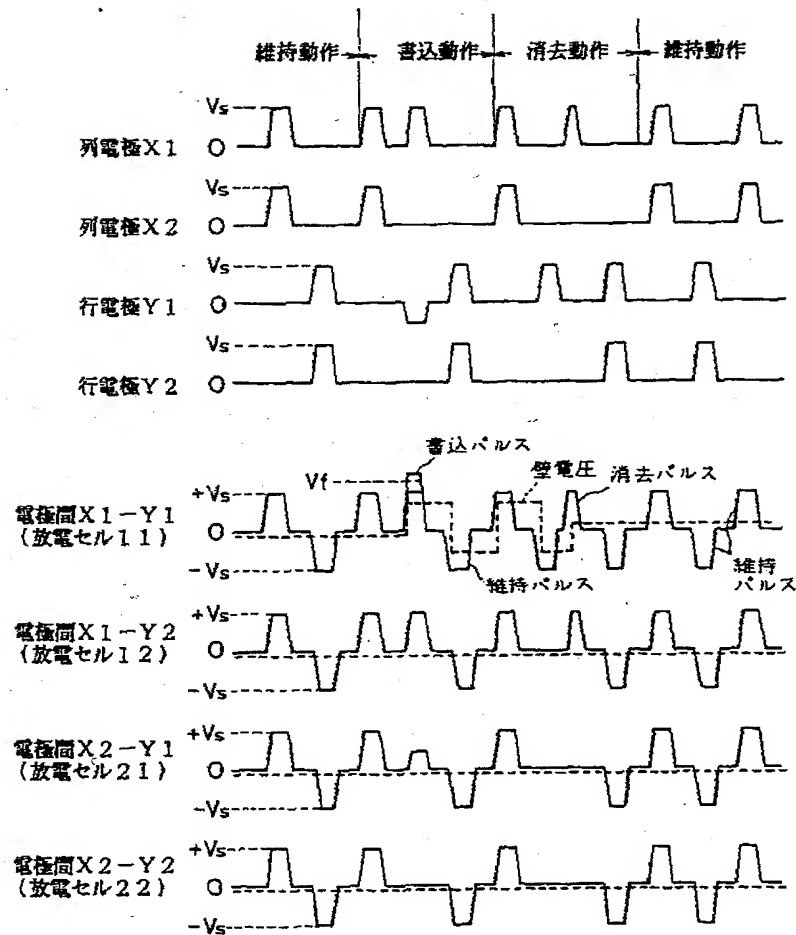
従来例の問題点を説明する波形図

【第8図】



メモリアイプ・プラズマディスプレイパネルの横断面構成図

【第 1 0 図】



第 9 図に示す電極に印加される駆動パルス及び  
放電セルの電極間に印加される駆動パルスのタイムチャート